

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-288953

(43)Date of publication of application : 01.11.1996

(51)Int.Cl.

H04L 12/28

H04Q 3/00

(21)Application number : 07-092217

(71)Applicant : NEC CORP

(22)Date of filing : 18.04.1995

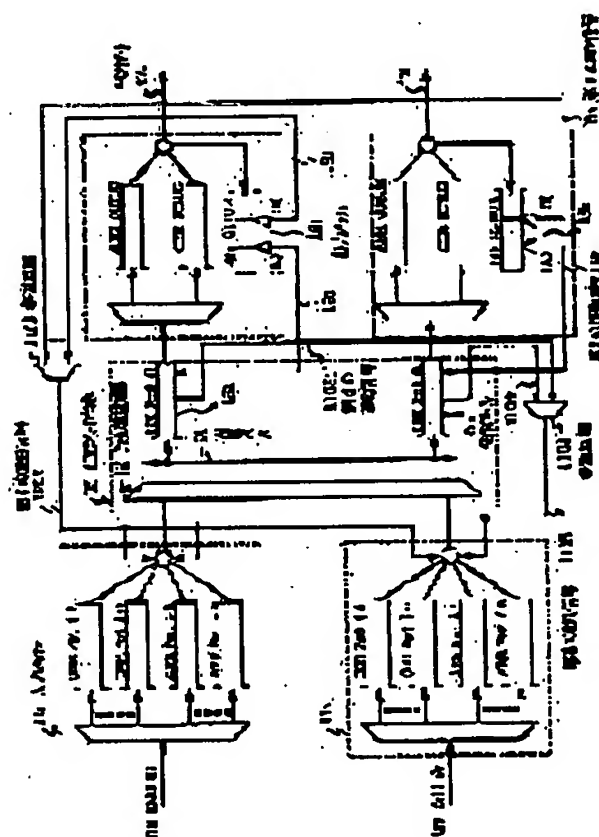
(72)Inventor : FUKANO MASATERU
NAKAGAWA TATSUO
YAMADA KENJI

(54) ATM SWITCH

(57)Abstract:

PURPOSE: To attain switching without a delay of a high priority traffic cell by stopping a low priority traffic earlier on the occurrence of congestion.

CONSTITUTION: A 1st RNR signal 1811-n being an output of each of output buffers 161-n is multiplexed by a multiplexer circuit 1101 to generate a 3rd RNR signal 1102, which is given to input buffers 111-n. The signal 1102 includes an identification number of the buffers 161-n sending the signals 181-n among the buffers 161-n, the buffers 111-n receiving the signal 1102 stop the transmission of a lowest priority queue among output buffer destination cells till the signals 181-n are released with respect to the buffers 161-n outputting the signals 181-n. The transmission from a highest priority CBR queue is allowed for that time. Thus, traffic control by priority is conducted.



LEGAL STATUS

[Date of request for examination]

18.04.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2856104

[Date of registration]

27.11.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

1 [Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-288953

(43) 公開日 平成8年(1996)11月1日

(51) Int. Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H04L 12/28		9466-5K	H04L 11/20	H
H04Q 3/00		9466-5K	H04Q 3/00	
			H04L 11/20	G

審査請求 有 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平7-92217

(22) 出願日 平成7年(1995)4月18日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 深野 真輝

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 中川 遼夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 山田 寛治

東京都港区芝五丁目7番1号 日本電気株式会社内

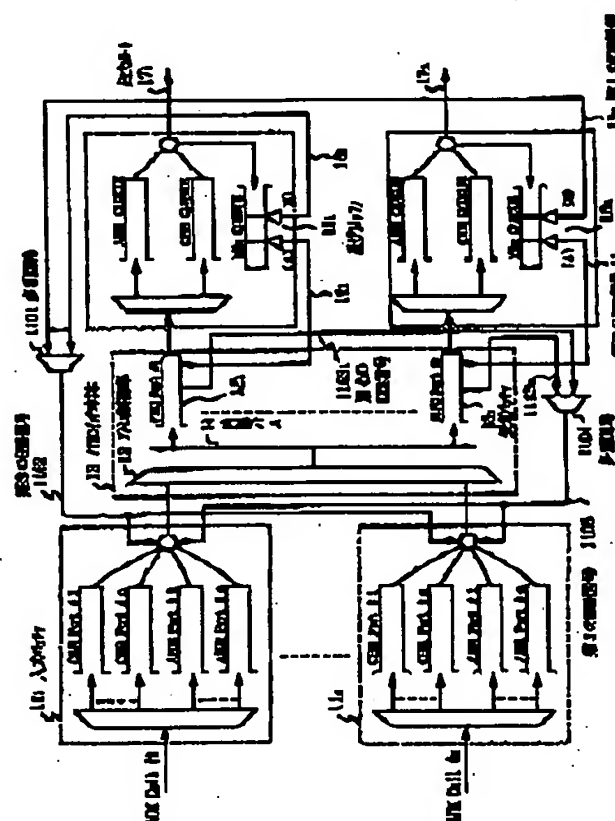
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 ATMスイッチ

(57) 【要約】

【目的】 CBRトラヒックの遅延特性を満たすことのできるATMスイッチを実現すること。

【構成】 複数の入力ポートおよび出力ポートのそれぞれにセルを蓄える入力バッファメモリおよび出力バッファメモリが設けられており、各入力バッファメモリには、各出力ポートに対応するとともに複数のトラフィック種類毎に論理的に独立し、かつ、メモリ領域を共有するキューが設けられ、各出力バッファメモリには、前記複数のトラフィック種類毎に論理的に独立し、かつ、メモリ領域を共有するキューが設けられており、各出力バッファメモリは、残りメモリ量に応じたオーバーフロー信号を各入力バッファメモリに対して出力し、各入力バッファメモリは、各出力バッファメモリに対応する出力ポート宛のキューを、各出力バッファメモリのオーバーフロー信号が示す残りメモリ量およびトラフィック種類に応じて、出力する。



【特許請求の範囲】

【請求項1】 複数の入力ポートおよび出力ポートのそれぞれにセルを蓄える入力バッファメモリおよび出力バッファメモリが設けられ、各入力ポートと各出力ポートの間に設けられたスイッチ本体により各入力ポートに到着したセルを出力ポートに配信するATMスイッチにおいて、

各入力バッファメモリには、各出力ポートに対応するとともに複数のトラヒック種類毎に論理的に独立し、かつ、メモリ領域を共有するキューが設けられ、各出力バッファメモリには、前記複数のトラヒック種類毎に論理的に独立し、かつ、メモリ領域を共有するキューが設けられており、各出力バッファメモリは、残りメモリ量に応じたオーバーフロー信号を各入力バッファメモリに対して出力し、各入力バッファメモリは、各出力バッファに対応する出力ポート宛のキューを、各出力バッファメモリのオーバーフロー信号が示す残りメモリ量およびトラヒック種類に応じて、出力または停止することを特徴とするATMスイッチ。

【請求項2】 複数の入力ポートおよび出力ポートのそれぞれにセルを蓄える入力バッファメモリおよび出力バッファメモリが設けられ、各入力ポートと各出力ポートの間に設けられたスイッチ本体により各入力ポートに到着したセルを出力ポートに配信するATMスイッチにおいて、

各入力バッファメモリには、各出力ポートに対応するとともに複数のトラヒック種類毎に論理的に独立し、かつ、メモリ領域を共有するキューが設けられ、各出力バッファメモリには、前記複数のトラヒック種類毎に論理的に独立し、かつ、メモリ領域を共有するキューが設けられており、

各出力バッファメモリは、残りメモリ量が第1のしきい値以下になったときには第1のオーバーフロー信号を各入力バッファメモリに対して出力し、

各入力バッファメモリは、第1のオーバーフロー信号を受け付けると、第1のオーバーフロー信号を出力した出力バッファメモリに対しては、入力バッファメモリ内の該出力バッファに対応する出力ポート宛のキューのうち、優先度が低いトラヒック種類に対応したキューの出力を停止することを特徴とするATMスイッチ。

【請求項3】 請求項2記載のATMスイッチにおいて、

スイッチ本体には、入力バッファメモリより送られてきたセルを一時的に蓄えて出力バッファメモリに送出する複数の受信バッファメモリを有し、

各出力バッファメモリは、残りメモリ量が第2のしきい値以下になったときには第2のオーバーフロー信号をスイッチ本体に対して出力し、

スイッチ本体は、第2のオーバーフロー信号を受け付け

ると、第2のオーバーフロー信号を出力した出力バッファメモリに対してはセルの送出を停止することを特徴とするATMスイッチ。

【請求項4】 請求項1乃至請求項3のいずれかに記載のATMスイッチにおいて、

各受信バッファメモリは、残りメモリ量が第3のしきい値以下になったときには第3のオーバーフロー信号を各入力バッファメモリに対して出力し、

各入力バッファメモリは、第3のオーバーフロー信号を受け付けると、第3のオーバーフロー信号を出力した受信バッファメモリに対してはセルの送出を停止することを特徴とするATMスイッチ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数の入力ポートに到着したセルを内部バスを介して複数の出力ポートに配信するATMスイッチのトラヒック制御方式に関し、特に、内部における優先度に応じて制御を行うATMスイッチのトラヒック制御方式に関する。

【0002】

【従来の技術】 ATMスイッチの構成方式としては、ATMセルを蓄えるバッファの位置に関していくつかのタイプのものが提案され、また、使用されている。

【0003】 ATMスイッチの1つの従来例として、各入力ポートにバッファを設けた入力バッファ型のスイッチがある。このようなスイッチでは、同じ出ポート宛のセルがスイッチ内で衝突することがないように、各入力ポートに到着したセルの出ポートへの出力を入力ポート間にまたがってスケジューリングし、必ず各出力ポートへ同時に1セルしか到着することがないように制御している。

【0004】 上述した従来方式では、入力ポート間にまたがったスケジューリングの制御が複雑になるという問題点があり、また、複数の出ポート宛てに配られる、いわゆる同報セルがあった場合には、1つのセルのスイッチングのために宛先出ポート数分の帯域を使ってしまうという問題点がある。

【0005】 一方、出ポート側にバッファを設けた出力バッファ型のスイッチでは、バッファとして高速度なメモリが必要となる点が問題となる。

【0006】 図2は出力バッファ型のATMスイッチの従来例の構成を示す図である。

【0007】 図中、21は内部バス、22₁~22_nは入力ポート、23₁~23_nは出力ポート、24₁~24_nは送信回路、25₁~25_nは受信回路、26₁~26_nは受信バッファ、27はスイッチ制御部である。

【0008】 各入力ポート22₁~22_nより各送信回路24₁~24_nにそれぞれ入力されるセルは、送信回路24₁~24_nを介して内部バス21に送信される。各送信回路24₁~24_nからの内部バス21への送信権はスイ

ツチ制御部27によって制御されている。制御部27の具体的な制御方法としては、時分割的にサイクリックに送信権を各ポートに与える方法等が挙げられる。

【0009】各送信回路24₁~24_nは、内部に数セル分のバッファを用い、スイッチ制御部27の送信権信号に従ってセルを内部バス21に送信する。内部バス21上に多重されたセルは、各ポートの受信回路25₁~25_nによりヘッダ部がチェックされ、該当するポート宛のセルのみが取り込まれて受信バッファ26₁~26_nに受信される。

【0010】出力バッファ型のスイッチでは、内部バス21のスループットは、各入力ポートのスループットの合計より大きい。ここで、各入力ポート22₁~22_nおよび各出力ポート23₁~23_nの回線速度を全て $mbit/sec$ とすると、内部バス21のスループットは $n \times mbit/sec$ 以上有る。従って、各入力ポートから見れば、たとえセルが連続して到着しても、セルが1つポートに到着する時間内に必ずセルを1つ内部バスに送出することができるため、入力ポート側にはタイミング調整用のバッファとして数セル分用意しておけば十分である。すなわち、入力ポート側ではセルの廃棄は起こらない（以後、入力ポートに回線速度いっばいの速度でセルが連続して到着する場合のセルの到着時間の間隔を1セル時間と呼ぶことにする）。

【0011】一方、出力ポート側では輻輳によるセルの廃棄が起こる可能性がある。例えば、同時に複数の入力ポートから特定の出力ポート宛のセルが到着した場合、つまり、1セル時間内に複数のセルが特定の出力ポートに到着することになる。この場合、バッファから出力されるのは1セル時間内に1セルだけなので、入力されるセルの方が多くなってバッファにセルが徐々に溜まり、最終的にはバッファオーバーフローとなってセルが廃棄されることになる。

【0012】また、出側の回線の速度がスイッチの出力ポートの速度より遅い場合には、更に頻繁にセルの廃棄が起こる可能性がある。

【0013】上記のように、出力ポート側では輻輳が起こる可能性があるため、受信バッファ26₁~26_nは十分大きなバッファでなければならない。しかしながら、以上の説明からわかるように、受信バッファ26₁~26_nは、内部バス21の速度で入力されるセルを取り込むので、 $n \times mbit/sec$ の速度（つまり入力ポートの速度の n 倍）でデータの書き込みができなければならない。 $n \times mbit/sec$ が数 $Gbps$ ~数十 $Gbps$ となる大容量のスイッチでは、データ速度が高速なことから外付けのメモリでは対応できず、また、現在のLSIにおいては、内部に大容量の高速メモリをもたせることは短絡的に困難である。

【0014】以上説明した入力バッファ型のスイッチと、出力バッファ型のスイッチの問題点を補う方式とし

て、入力ポートと出力ポートの両方にバッファを配置する入出力バッファ型のスイッチが考えられる。入出力バッファ型のスイッチでは、上記出力バッファ型スイッチの入力ポート側に大容量のバッファを追加したものである。入力ポート側に追加されるバッファは、ポートの速度 $mbit/sec$ の速度でセルの読み書きができればよいので、外付けのメモリを用いることができ、大容量化が可能となる。

【0015】受信バッファがオーバーフローしそうになると、受信バッファからRNR（レシーブ・ノット・レディ）信号が各入力バッファ宛に出力される。入力バッファ側では、RNR信号が出力された出力ポート宛のセルの出力を止めることにより、輻輳状態の出力ポートへのセルの入力が一時停止される。

【0016】上記の方式では、入力バッファは各出力ポート別にセルの読みだしができる構成になっていなければならない。もし、FIFOのような1つのキュー構成のバッファが用いられた場合には、RNR信号を出力している特定の出力ポート宛のセルがキューの先頭に来た場合に、他の輻輳が起こっていない出力ポート宛のセルの送出もできなくなってしまうためである（このような現象をヘッド・オブ・ラインと呼ぶ）。

【0017】例えば、入力バッファにはランダム書き込み/読みだしができるメモリを用いて、出力ポート別に独立な論理キューを設ける方法が考えられる。以上述べた入出力バッファ型スイッチでは、入力バッファを追加することにより受信バッファでのセルの廃棄は起こらないようにすることができ、また入力バッファは必要な容量分を外付けメモリで用意することが可能なので、セル廃棄の問題は一応解決できる。

【0018】しかし、ATMで運ばれる情報の中には、電話の音声や動画等の実時間性をもったデータもある。これら実時間性が要求される通信は、セルの廃棄を防ぐだけでは不十分で、遅延時間も一定以内に保たなければならない。これら実時間性が要求される通信の遅延を他のデータ等のトラヒックと区別して、高優先で扱うことが可能となるよう、ATM通信では、予めコネクションを設定するときに、トラヒックのタイプを指定することになっている。上記説明した入出力バッファ型のスイッチでは、遅延が許されない高優先の実時間トラヒック（以後、CBR=Constant Bit Rateトラヒックと呼ぶ）も低優先のトラヒックも、受信バッファが輻輳した場合には同様に止められてしまい、優先度毎の遅延制御を行うことができない。

【0019】

【発明が解決しようとする課題】 上述した従来のATMスイッチのうち、入力バッファ型のスイッチはスケジューリングの制御が複雑となり、また、同報セルがあった場合には宛先出ポート分の帯域が使用されるという問題点がある。

【0020】出力バッファ型のスイッチにおいては、出力ポート側にて輻輳によるセルの廃棄が発生するという問題点がある。

【0021】入出力バッファ型のスイッチにおいては、セル廃棄は防がれるものの、受信バッファが輻輳した場合には遅延が許されない高優先のトラヒックも低優先のトラヒックと同様に止められてしまうという問題点がある。

【0022】本発明は上述したような従来技術が有する問題点に鑑みてなされたものであって、セル廃棄を防止するとともにトラヒック種類別の輻輳制御を行うことによりCBRトラヒックの遅延特性を満たすことのできるATMスイッチを実現することを目的とする。

【0023】

【課題を解決するための手段】本発明のATMスイッチは、複数の入力ポートおよび出力ポートのそれぞれにセルを蓄える入力バッファメモリおよび出力バッファメモリが設けられ、各入力ポートと各出力ポートの間に設けられたスイッチ本体により各入力ポートに到着したセルを出力ポートに配信するATMスイッチにおいて、各入力バッファメモリには、各出力ポートに対応するとともに複数のトラヒック種類毎に論理的に独立し、かつ、メモリ領域を共有するキューが設けられ、各出力バッファメモリには、前記複数のトラヒック種類毎に論理的に独立し、かつ、メモリ領域を共有するキューが設けられており、各出力バッファメモリは、残りメモリ量に応じたオーバーフロー信号を各入力バッファメモリに対して出力し、各入力バッファメモリは、各出力バッファに対応する出力ポート宛のキューを、各出力バッファメモリのオーバーフロー信号が示す残りメモリ量およびトラヒック種類に応じて、出力または停止することを特徴とする。

【0024】本発明の第2の形態によるATMスイッチは、複数の入力ポートおよび出力ポートのそれぞれにセルを蓄える入力バッファメモリおよび出力バッファメモリが設けられ、各入力ポートと各出力ポートの間に設けられたスイッチ本体により各入力ポートに到着したセルを出力ポートに配信するATMスイッチにおいて、各入力バッファメモリには、各出力ポートに対応するとともに複数のトラヒック種類毎に論理的に独立し、かつ、メモリ領域を共有するキューが設けられ、各出力バッファメモリには、前記複数のトラヒック種類毎に論理的に独立し、かつ、メモリ領域を共有するキューが設けられており、各出力バッファメモリは、残りメモリ量が第1のしきい値以下になったときには第1のオーバーフロー信号を各入力バッファメモリに対して出力し、各入力バッファメモリは、第1のオーバーフロー信号を受け付けると、第1のオーバーフロー信号を出力した出力バッファメモリに対しては、入力バッファメモリ内の該出力バッファに対応する出力ポート宛のキューのうち、優先度が

低いトラヒック種類に対応したキューの出力を停止することを特徴とする。

【0025】この場合においても、スイッチ本体には、入力バッファメモリより送られてきたセルを一時的に蓄えて出力バッファメモリに送出する複数の受信バッファメモリを設け、各出力バッファメモリは、残りメモリ量が第2のしきい値以下になったときには第2のオーバーフロー信号をスイッチ本体に対して出力し、スイッチ本体は、第2のオーバーフロー信号を受け付けると、第2のオーバーフロー信号を出力した出力バッファメモリに対してはセルの送出を停止することとしてもよい。

【0026】さらに、各受信バッファメモリは、残りメモリ量が第3のしきい値以下になったときには第3のオーバーフロー信号を各入力バッファメモリに対して出力し、各入力バッファメモリは、第3のオーバーフロー信号を受け付けると、第3のオーバーフロー信号を出力した受信バッファメモリに対してはセルの送出を停止することとしてもよい。

【0027】

【作用】上記のように構成される本発明によれば、スイッチの出力側でトラヒックの輻輳が起きた場合、オーバーフロー信号（第1のオーバーフロー信号）が出力され、これを受けて優先度が低いトラヒック種類に対応したキューの出力が停止される。このように、輻輳が生じた出力ポート宛の全てのセルのスイッチングが一律に一旦停止することなく、優先度に応じて複数段階で制御することが可能となる。

【0028】即ち、輻輳が生じた場合に優先度の低いトラヒックを先に停止することにより、遅延に対して優先度の高いトラヒックのセルを遅延無くスイッチングできる。

【0029】また、本発明は、出回線の速度がスイッチの出力ポートの速度以下であるために生じた輻輳、あるいはスイッチの出力ポートの出力が更に複数の出回線に分岐しており、その複数の出回線の内いくつかは輻輳した場合に有効である。このような場合には、第2のオーバーフロー信号が出力されるように第2のしきい値を決定することで入力ポートからのセル送出が停止され、セル廃棄を防ぐことができる。

【0030】また、スイッチの出力ポートの速度以上のトラヒックが連続的に特定の出力ポートに集中した場合には、スイッチ内の受信バッファメモリがオーバーフロー信号を出力するように第3のしきい値を定めることで入力ポートからのセル送出が停止される。この場合には、先の従来技術の項で述べたスイッチ内の受信バッファのしきい値によるRNRで、優先度に関係なく、該輻輳している受信バッファ宛のセルが停止されてしまい優先度の制御は効かない。

【0031】

【実施例】次に、本発明の実施例について図面を参照し

て説明する。

【0032】図1は、本発明のトラヒック制御方式が行われるATMスイッチの一実施例の構成を示すブロック図である。

【0033】図1において、11₁~11_nは入力バッファ、12はATMスイッチ本体、13はATMスイッチ本体12内のアクセス制御部、14は内部バス、15₁~15_nはATMスイッチ本体内の受信バッファ、16₁~16_nは出力バッファ、17₁~17_nはスイッチの出力ポート、18₁~18_nは第1のRNR信号（第1のオーバーフロー信号）、19₁~19_nは第2のRNR信号（第2のオーバーフロー信号）、1101は多重回路、1102は第3のRNR信号、1103₁~1103_nは第4のRNR信号（第3のオーバーフロー信号）、1104は多重回路、1105は第5のRNR信号である。

【0034】入力バッファ11₁~11_nは各入力ポート毎に設けられている。各入力バッファ11₁~11_nは、例えばランダムアクセスメモリで構成され、内部に各出力ポート数×2個の論理的なキューを有する。

【0035】それぞれのキューは、各出力ポート別に高優先のCBR用およびその他低優先のABR (Available Bit Rate) 用の2つずつのキューからなる。各キューは全体のメモリ容量を共有するものであり、それぞれのキューに固定的に容量を割り当てる必要はない。

【0036】各キュー内に蓄えられたセルは、各出力ポート別に順番にアクセス制御部13を経由して内部バス14に入力され、所定の宛先ポートへ出力される。同じ入力バッファ中の同じ出力ポート宛の2つの優先度のキューの間では、CBR用のキューが優先され、CBR用のキュー内にセルがある場合には必ずCBR用のキューから出力される。低優先キュー内のセルが出力されるのは、CBR用キュー内にセルが無いときだけである。

【0037】アクセス制御部13は各入力バッファからの内部バスへのアクセスの制御を行う回路で、従来技術の項で説明したように、例えば、単純に順番に各入力ポートごとに送出権を渡す制御でもよい。内部バス14は時分割バスで、従来技術の説明の項で述べたように、各入力スイッチポートの速度のn倍の速度があるので、1セル時間内に必ず各入力ポートから1セルずつ送信できることが保証されている。

【0038】受信バッファ15₁~15_nは各出力ポート毎に設けられており、従来技術の項で述べたように、各受信バッファ15₁~15_nは内部バスの速度で動作するメモリで、一般に出力バッファ16₁~16_nと比べるとメモリ容量は格段に少ない。

【0039】出力バッファ16₁~16_nは入力バッファ11₁~11_nと同様にランダムアクセスメモリから構成されており、内部にCBR用と低優先トラヒック用の2つずつの論理キューを持っている。各キューは全体の出力ポート数×2個の論理的なキューを有する。各キューに

固定的に容量を割り当てておく必要はない。各出力バッファ16₁~16_nの空き領域の容量は、逐次検出されている。

【0040】空き領域の大きさを示すために、論理的にアイドルキューというものを定義する。アイドルキューの大きさは、その時点での空きバッファ領域の容量を示しており、例えばアイドルキューの長さ=0は、全てのバッファ領域が使用されていることを示す。各アイドルキューにはしきい値(A)、(B)が2つずつ設定されており、アイドルキューの長さが第1のしきい値(B)を下回ると第1のRNR信号18₁~18_nが出力される。

【0041】各出力バッファ16₁~16_nから出力された第1のRNR信号18₁~18_nは、多重回路1101で多重されることにより第3のRNR信号1102が生成され、各入力バッファ11₁~11_nに入力される。

【0042】上記の第3のRNR信号1102は、出力バッファ16₁~16_nのうちの第1のRNR信号を送出した出力バッファ16₁~16_nの識別番号を含んでおり、第3のRNR信号1102を受信した各入力バッファ11₁~11_nは、第1のRNR信号18₁~18_nを出力した出力バッファ16₁~16_nに対しては第1のRNR信号18₁~18_nが解除されるまで該出力バッファ宛のセルのうちの低優先キューからの送信を停止する。この間、優先度の高いCBRキューからの送信は許されており、これにより本発明の目的である優先度別のトラヒック制御が可能となっている。

【0043】第2のしきい値(A)は、第1のしきい値(B)より小さな値が設定されており、アイドルキューの長さが第2のしきい値(A)を下回ると第2のRNR信号19₁~19_nが対応する各受信バッファ15₁~15_nに入力される。

【0044】第2のしきい値(A)は、出力バッファの残り容量がほとんど無いときに第2のRNR信号19₁~19_nが送信されるように設定されており、従って第2のRNRを受信した受信バッファ15₁~15_nは、出力バッファ16₁~16_nへのセルの送信を停止する。このときには、優先度に関係なく全てのセルの送信が停止される。

【0045】各受信バッファ15₁~15_nにも、しきい値がそれぞれ1つずつ設定されており、各受信バッファ15₁~15_n内のセルの量がこのしきい値を超えると第4のRNR信号1103₁~1103_nが多重回路1104に入力される。多重回路1104は、1101と同様に第4のRNR信号の送信元の出力バッファ番号を含む第5のRNR信号1105を生成し、各入力バッファ11₁~11_nに入力する。各入力バッファ11₁~11_nは、第5のRNR信号を受信すると、その中に示されている第4のRNR発信元の受信ポート宛のセルの出力を停止する。この場合には、CBRキューと低優先キュー

一の双方共の出力を停止する。

【0046】なお、以上説明した実施例においては、各出力バッファ15₁~15_nのそれぞれは第1のしきい値(B)および第2のしきい値(A)との比較を行うことにより、第1のRNR信号18₁~18_nおよび第2のRNR信号19₁~19_nを出力し、これに応じて各入力バッファ11₁~11_nのそれぞれは停止するキューを決定するとして説明したが、しきい値をさらに多く設定してさらに多くのRNR信号を出力し、各入力バッファ11₁~11_nのそれぞれは各RNR信号に応じて出力するキューをそのトラヒック種類の優先度から決定するものとしてもよい。このような構成とすることにより、例えば、VBR(Variable Bit Rate)等のトラヒックについても優先順位を設定することができる。

【0047】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載するような効果を奏する。

【0048】請求項1および請求項2に記載のものにおいては、スイッチの出力側でトラヒックの輻輳が起きた場合、輻輳が生じた出力ポート宛の全てのセルのスイッチングが一律に一旦停止することなく、優先度に応じて複数段階で制御することができ、CBRTraヒックの遅延特性を満たすものとしてすることができる効果がある。

【0049】請求項3に記載のものにおいては、上記効果に加えて、出回線の速度がスイッチの出力ポートの速度以下であるために生じた輻輳、あるいはスイッチの出力ポートの出力が更に複数の出回線に分岐しており、そ

の複数の出回線の内いくつかが輻輳した場合のセル廃棄を防ぐことができる。

【0050】請求項4に記載のものにおいては、上記各効果に加えて、スイッチの出力ポートの速度以上のトラヒックが連続的に特定の出力ポートに集中して輻輳が発生した場合のセル廃棄を防ぐことができる効果がある。

【図面の簡単な説明】

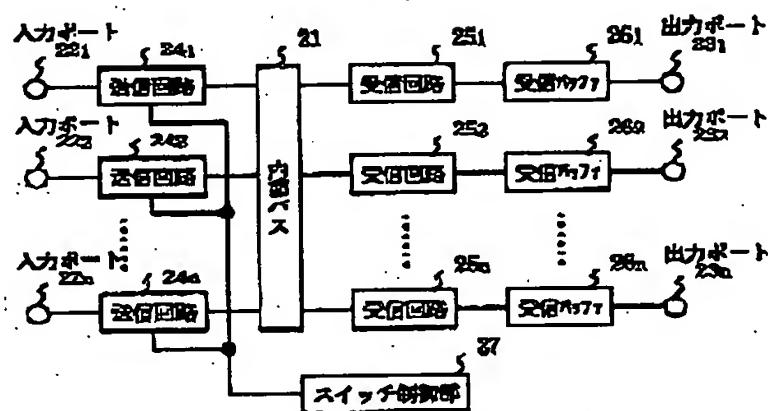
【図1】本発明のトラヒック制御方式を実現するための入出力バッファ型のATMスイッチの一実施例の構成図である。

【図2】従来の出力バッファ型のATMスイッチの構成図である。

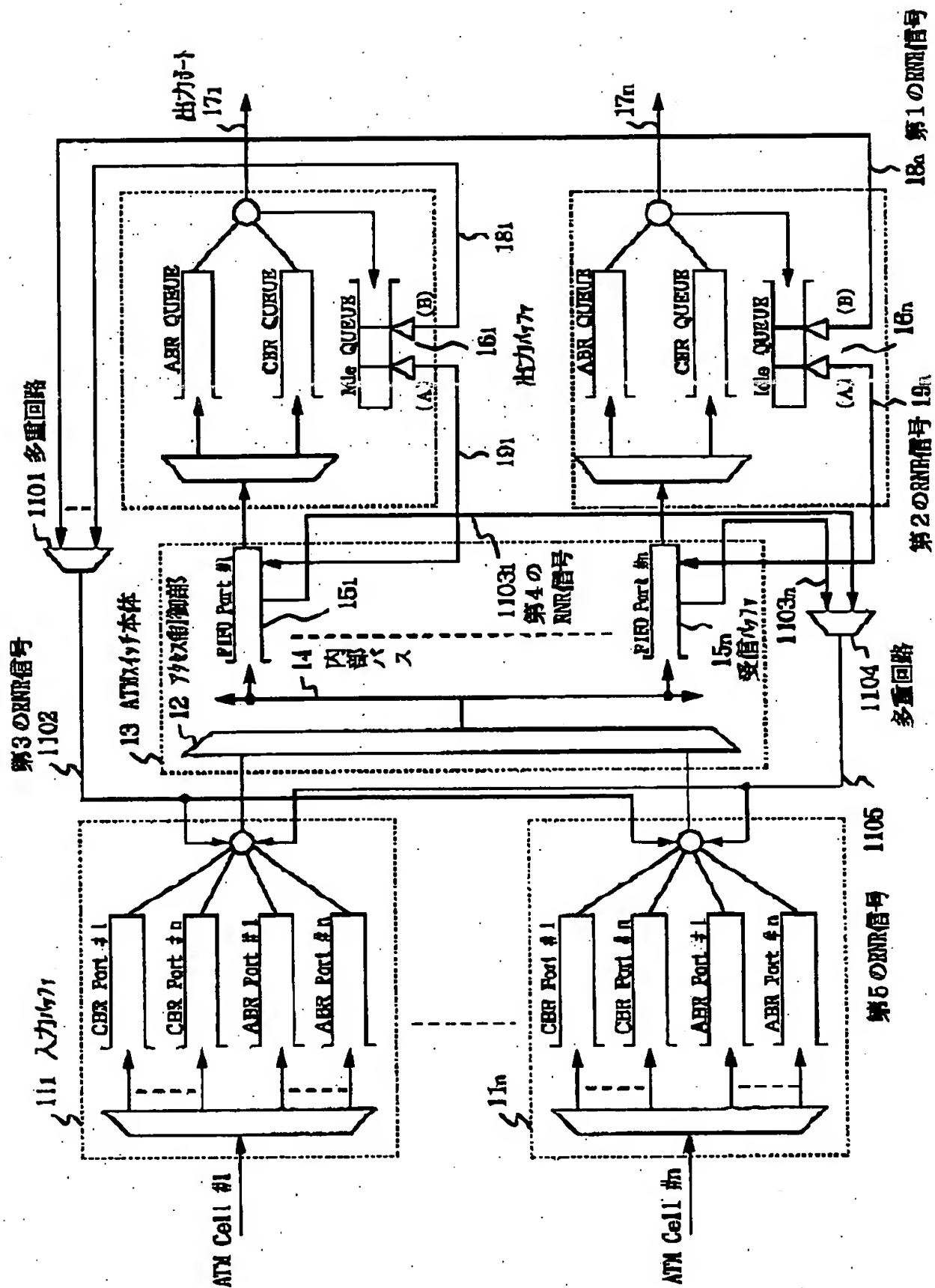
【符号の説明】

- 11₁~11_n 入力バッファ
- 12 アクセス制御部
- 13 ATMスイッチ本体
- 14 内部バス
- 15₁~15_n 受信バッファ
- 16₁~16_n 出力バッファ
- 17₁~17_n 出力ポート
- 18₁~18_n 第1のRNR信号
- 18₁~19_n 第2のRNR信号
- 1101 多重回路
- 1102 第3のRNR信号
- 1103₁~1103_n 第4のRNR信号
- 1104 多重回路
- 1105 第5のRNR信号

【図2】



【図1】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.